

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-198342

(43)Date of publication of application : 29.08.1991

(51)Int.CI.

H01L 21/321

(21)Application number : 01-339660

(71)Applicant : NEC CORP

(22)Date of filing : 26.12.1989

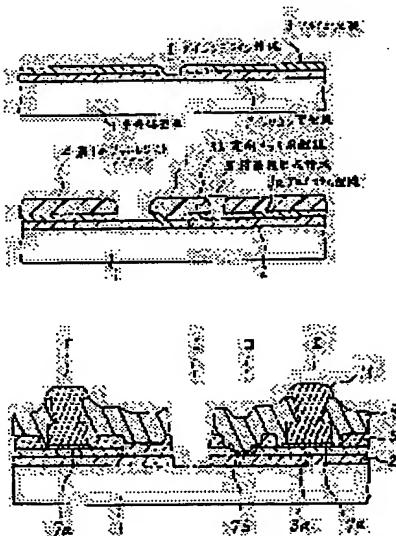
(72)Inventor : KOBAYASHI TAKAAKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent generation of etching residue and reattachment of foreign matter on a bump electrode surface, and sufficiently secure adhesion between a bump electrode and a semiconductor substrate, by providing a process for forming a wiring for elements and a wiring for electroplating.

CONSTITUTION: After a silicon nitride film 2 and an aluminum film 3 are formed on a semiconductor substrate 1, a first photoresist pattern 4 is formed. By etching method using the pattern 4 as a mask, unnecessary parts of the film 3 are eliminated, and a wiring for elements necessary for a semiconductor device is formed. Said wiring for elements is formed as an aluminum wiring 3a, and a wiring 3b for electroplating is formed in a dicing line region 1. After electroplating process, the unnecessary wiring 3b is eliminated, and each protruding electrode is subjected to dielectric isolation. Hence electroplating is enabled by using polyimide resin 9, which is a final protecting film, as a mask. Thereby generation of etching residue and reattachment of foreign matter on the surface of a gold bump electrode 11 can be prevented, and adhesion between the electrode 11 and the substrate 1 can sufficiently be secured.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯日本国特許庁 (JP) ⑮特許出願公開
⑯公開特許公報 (A) 平3-198342

⑯Int.Cl.⁵
H 01 L 21/321

識別記号 庁内整理番号
6940-5F H 01 L 21/92

⑯公開 平成3年(1991)8月29日
F

審査請求 未請求 請求項の数 1 (全7頁)

⑯発明の名称 半導体装置の製造方法

⑯特 願 平1-339660

⑯出 願 平1(1989)12月26日

⑯発明者 小林 孝 彰 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑯代理人 弁理士 内原 晋

明細書

発明の名称

半導体装置の製造方法

特許請求の範囲

半導体基板上に配線用金属膜を形成した後バターニングし、素子用配線及び電解メッキ用配線を形成する工程と、全面に保護膜を形成した後バターニングし、前記素子用配線の突起電極形成領域と前記素子用配線と電解メッキ用配線とを電気的に接続するための接続膜形成領域の保護膜を除去する工程と、保護膜が除去された前記突起電極形成領域および接続膜形成領域にバリア膜を形成する工程と、突起電極形成領域のこのバリア膜上に第1のフォトレジストパターンを形成する工程と、全面に保護膜を形成した後第2のフォトレジストパターンを用いてバターニングし、前記第1のフォトレジストパターン上部の一部を露出させる工程と、前記第2のフォトレジストパターンを

除去すると同時に第1のフォトレジストパターンも除去し前記バリア膜を露呈させる工程と、残された前記保護膜をマスクとした電解メッキにより露呈した前記バリア膜上に突起電極を形成する工程と、突起電極形成後突起電極同の短絡を解除するため前記電解メッキ用配線を選択的に除去する工程とを含むことを特徴とする半導体装置の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関し、特に突起電極を有する半導体装置の製造方法に関する。

(従来の技術)

一般にテープキャリア方式の半導体装置では、半導体基板の正面に突出する金属の突起電極を設けている。

従来、この種の突起電極を有する半導体装置の製造方法は、半導体基板に対する所要の素子形成

工程及び配線形成工程を全て終了した後、基板表面全体に新たに金属膜を被着してこれを電解メッキの際の電流路として構成し、その後この金属膜上にリフトオフ法等を利用して突起電極形成領域の下地膜を形成し、更にフォトレジスト等をマスクとしつつ前記金属膜を電流路とする電解メッキにより突起電極形成領域に突起電極を形成し、その後不要となった電解メッキの際の電流路である金属膜を突起電極をマスクとして全面的に除去し、しかる後保護膜を基板表面全面に塗布し、突起電極部のみ開口して最終保護膜を形成する方法となっていた。

〔発明が解決しようとする課題〕

上述した従来の突起電極を有する半導体装置の製造方法は、突起電極形成後に保護膜を塗布し、フォトレジスト等をマスクとして突起電極部の保護膜をエッチング除去して最終保護膜を形成する方法となっていたので、エッチング工程でのエッチング残渣やフォトレジストを剥離する工程での異物の再付着等が突起電極表面に生じやすく、ボ

ンディング時のリードと突起電極間の密着強度を著しく低下させる要因となる欠点がある。

さらに、突起電極と半導体基板との密着強度を十分確保させるためには、突起電極表面の周辺部を最終保護膜が覆うような構造にしなければならないため、突起電極を有する半導体装置を信頼性よく安定的に製造することが非常に困難であるという欠点がある。

〔課題を解決するための手段〕

本発明の半導体装置の製造方法は、半導体基板上に配線用金属膜を形成した後バーニングし、素子用配線及び電解メッキ用配線を形成する工程と、全面に保護膜を形成した後バーニングし、前記素子用配線の突起電極形成領域と前記素子用配線と電解メッキ用配線とを電気的に接続するための接続膜形成領域の保護膜を除去する工程と、保護膜が除去された前記突起電極形成領域および接続膜形成領域にバリア膜を形成する工程と、突起電極形成領域のこのバリア膜上に第1のフォトレジストパターンを形成する工程と、全面に保護

膜を形成した後第2のフォトレジストパターンを用いてバーニングし、前記第1のフォトレジストパターン上部の一部を露出させる工程と、前記第2のフォトレジストパターンを除去すると同時に第1のフォトレジストパターンも除去し前記バリア膜を露呈させる工程と、残された前記保護膜をマスクとした電解メッキにより露呈した前記バリア膜上に突起電極を形成する工程と、突起電極形成後突起電極間の短絡を解除するために前記電解メッキ用配線を選択的に除去する工程とを含んで構成される。

〔実施例〕

次に、本発明を図面を参照して説明する。

第1図(a)～(j)及び第2図は本発明をテープキャリア式集積回路の突起電極形成に適用した第1の実施例を説明するための図であり、第2図は製造工程途中における平面図、第1図(a)～(j)はそのA-A'線における製造工程順に示した半導体チップの断面図である。以下製造工程順に説明する。

まず第1図(a)に示すように、シリコンからなる半導体基板1に素子を形成する。次で厚さ約1μmのシリコン塗化膜2が形成された素子領域及び半導体基板1の表面が露出された幅約200μmのダイシングライン領域I上に、スパッタ法により厚さ約0.8μmのアルミニウム膜3を形成する。

次に第1図(b)に示すように、所望の厚さ及び形状に第1のフォトレジストパターン4を形成し、これをマスクとしたエッチング法により不要部分のアルミニウム膜3を除去し、半導体装置に必要な素子用配線を形成する。この素子用配線は突起電極形成領域IIを含むアルミニウム配線3aとして形成する。また、同時にダイシングライン領域Iに電解メッキ用配線3bを形成する。

次に第1図(c)のように、第1のフォトレジストパターン4を剥離した後、保護膜であるシリコン酸化膜5を全面に約0.5μmの膜厚で成長させる。次で所望の厚さ及び形状にバーニングした第2のフォトレジストパターン6をマスクにし

て突起電極形成領域Ⅱと、アルミニウム配線3aと電解メッキ用配線3bとを接続するための接続膜形成領域Ⅲのシリコン酸化膜5をエッティング除去する。

次に第1図(d)のように、第2のフォトレジストバターン6を残したまま、メッキ層を成長させる際のバリア膜となる金属膜7を基板表面に被着する。ここで金属膜7は、金が下層に拡散することを防ぐことを目的とした膜厚0.1μmの白金膜と、白金膜と下地密着性を強化することを目的とした膜厚0.1μmのチタン膜の2層構造とする。

次に第1図(e)のように、第2のフォトレジストバターン6を剥離することにより、同時に不要部分の金属膜7をリフトオフ法により除去したのち、400℃の窒素雰囲気中で60分間熱処理することにより、突起電極形成領域Ⅱ内にバリア膜7aを、また接続膜形成領域Ⅲに電解メッキ用配線の接続膜7bを形成する。したがって、ここでアルミニウム配線3aは接続膜7bによって電

解メッキ用配線3bと電気的に接続される。

次に第1図(f)のように、約5μmの厚さにフォトレジストを塗布し、突起電極形成領域Ⅱ内のバリア膜7a内にのみ所望の形状にパターニングした第3のフォトレジストバターン8を形成する。

次に第1図(g)のように、最終保護膜であるポリイミド樹脂9を約10μmの厚さに塗布し、所望の厚さ及び形状にパターニングした第4のフォトレジストバターン10をマスクにして、第3のフォトレジストバターン8上の一部の領域及びダイシング領域Iの各ポリイミド樹脂9を除去する。ここに、第3のフォトレジストバターン8はその上層部の一部がポリイミド樹脂9の開口部を通して露出する。

次に第1図(h)のように、第4のフォトレジストバターン10を除去すると同時に第3のフォトレジストバターン8をも除去し、バリア膜7aの一部を露呈させる。ここに、突起電極形成領域Ⅱ内のポリイミド樹脂9の断面形状はオーバーハ

ング状となる。なお、第2図の平面構造はこの第1図(h)の工程完了状態を示している。

次に第1図(i)のように、基板全体を金メッキ液に浸漬し、半導体基板1と金メッキ装置側に設置された陽極電極板との間に電流を流して、金突起電極11が突起電極形成領域Ⅱのバリア膜7a上に15～30μmの厚さに形成されるまで電解メッキを行う。ここに、金突起電極11は、マスクとして用いたポリイミド樹脂9の断面形状に応じて成長するため、ポリイミド樹脂9によってバリア膜7a側におさえつけられた断面構造となり、下地側との密着強度が著しく強固なものとなる。

次に第1図(j)のように、ポリイミド樹脂9及び金突起電極11をマスクにしてエッティング法でダイシングライン領域Iのシリコン酸化膜5を除去し、その後、接続膜7bをエッティングのストッパーとして電解メッキ用配線3bを除去してダイシングライン領域Iとアルミニウム配線3aを絶縁分離することにより、金突起電極11を有

する半導体装置が完成する。

このように第1の実施例では、電解メッキ時の電流路に半導体素子用の配線と同時に形成した電解メッキ用配線3bを利用して、電解メッキ工程の後にダイシングライン領域Iにおける不要の電解メッキ用配線3bを除去するだけで、各々の突起電極が絶縁分離される構造となっているため、最終保護膜をマスクとして電解メッキを行うことが可能で、金突起電極11の表面にエッティング残渣や異物の再付着等が発生することを根本的に防止することができる。また、最終保護膜であるポリイミド樹脂9のオーバーハング状の断面形状により金突起電極11と半導体基板1との密着強度も十分に確保することができる。

第3図(a)～(h)は、本発明の第2の実施例を説明するための製造工程順に示した断面図であり、第1の実施例と同じ位置で切断した断面図である。

まず第3図(a)に示すように、第1の実施例と同様にシリコン酸化膜22を除去して半導体基

板21の表面を露呈させたダイシングライン領域Iと、シリコン塗化膜22が形成された素子領域の全面にアルミニウム膜を被着する。次で、所望の膜厚及び形状に形成した第1のフォトレジストパターン24をマスクにして不要部分のアルミニウム膜を除去して、突起電極形成領域IIを含むアルミニウム配線23aと電解メッキ用配線23bを形成する。

次に第3図(b)に示すように、約5μmの厚さにボジ型フォトレジストを塗布し、突起電極形成領域II及び接続膜形成領域III内に所望の形状にバターニングした第2のフォトレジストパターン25を形成する。

次に第3図(c)のように、最終保護膜であるポリイミド樹脂26を約10μmの厚さに塗布し、所望の厚さ及び形状にバターニングした第3のフォトレジストパターン27をマスクにして、ダイシングライン領域Iのポリイミド樹脂26を除去する。

次に第3図(d)のように、第3のフォトレジ

ストパターン27を剥離した後、所望の厚さ及び形状に第4のフォトレジストパターン28を形成し直し、それをマスクにして第2のフォトレジストパターン25上的一部の領域のポリイミド樹脂26をヒドラジン系の薬液でエッティング除去する。ここで、ボジ型フォトレジストのヒドラジン系薬液に対する溶解性を利用して、第2のフォトレジストパターン25も同時にエッティング除去して突起電極形成領域IIのアルミニウム配線23aを露呈させる。

次に第3図(e)のように、第4のフォトレジストパターン28を残したままメッキを成長させる際のバリア膜となる金属膜29を基板表面に被着する。ここで金属膜29は第1の実施例と同様に、チタン及び白金の2層膜である。

次に第3図(f)のように、第4のフォトレジストパターン28を剥離すると同時に不要部分の金属膜29をリフトオフ法で除去したのち、400°Cの空素雰囲気中で60分間熱処理を行い、突起電極形成領域II内にバリア膜29aを、

接続膜形成領域III内に接続膜29bを形成する。

次に第3図(g)のように、基板全体を金メッキ液に浸漬し、半導体基板21とメッキ装置側に設置された陽極電極板との間に電流を流して金突起電極30a及び小金突起電極30bが15~30μmに形成されるまで電解メッキを行う。

電解メッキ終了後、第1の実施例と同様にしてダイシングライン領域Iの電解メッキ用配線23bを全て除去し、ダイシングライン領域Iとアルミニウム配線23aを絶縁分離すれば、第3図(h)のように金突起電極30a及び小金突起電極30bを有する半導体装置が完成する。

この第2の実施例においても最終保護膜をマスクとして電解メッキを行っているため、金突起電極30aの表面にエッティング残渣や異物の再付着等が発生することを防止することができ、また最終保護膜であるポリイミド樹脂26のオーバーハング状の断面形状により金突起電極30aと半導体基板21との密着強度も十分に確保することができる。

また、この第2の実施例では突起電極形成領域II内に形成する第2のフォトレジストパターン25がボジ型であるため、ポリイミド樹脂26をパターン形成する際に、ヒドラジン系の薬液で同時にエッティング除去することができるようになり、第4のフォトレジストパターン28のみでエッティングのパターン形成とリフトオフ法によるバリア膜29aの形成が可能となった。さらに、電解メッキ時に同時に形成された小金突起電極30bは、テープキャリアと半導体装置を圧着ボンディングする際に、テープキャリアのリードが半導体装置のエッジ部と接触することを防止する役割もはたすことができる。

なお、上記実施例では突起電極の形成に金メッキを用いた場合について説明したが、他の金属からなるメッキ法により突起電極を形成してもよい。

〔発明の効果〕

以上説明したように本発明は、半導体基板に形成した金属膜をパターン形成して素子用配線及び

電解メッキ用配線を形成し、突起電極形成領域及び接続膜形成領域を露出した保護膜を形成したのち、これらの領域にバリア膜を形成し、突起電極形成領域のみあるいは突起電極形成領域と接続膜形成領域に電解メッキ用配線を電流路として電解メッキを行い、金属メッキ膜からなる突起電極を形成し、しかる上で電解メッキ用配線を選択的に除去して、半導体装置に必要な配線と半導体基板との絶縁分離を行うことにより、電解メッキ完了後は電解メッキ用配線を除去するだけでよく、突起電極の形成工程は極めて簡単なものとなる。さらに、突起電極形成以前に最終段階の保護膜を形成しているため、突起電極表面部に保護膜のエッチング残渣や異物の再付着等が発生することがないため、テープキャリヤのリードと突起電極間の密着強度を十分に確保することができる。また、電解メッキの際のマスクとなる最終保護膜はオーバーハング状の断面形状となっているので、突起電極と半導体基板の密着強度を十分にかつ簡単に確保することができる。このため、突起電極を有

する半導体装置を信頼性よく、かつ安定的に製造することができる。

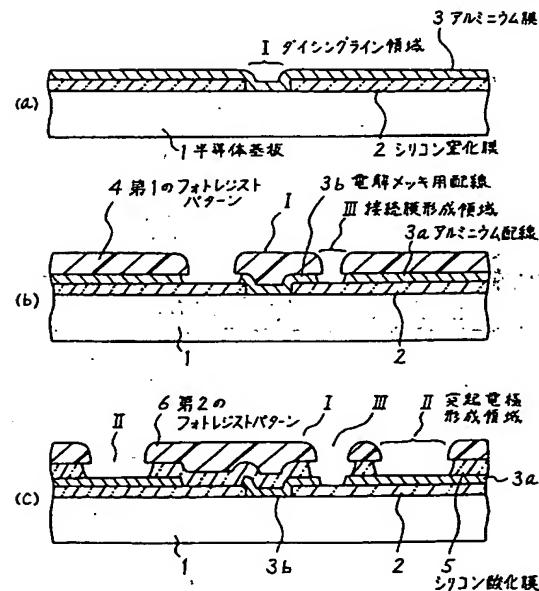
図面の簡単な説明

第1図(a)～(j)は本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図、第2図は第1の実施例の工程途中における平面図、第3図(a)～(h)は本発明の第2の実施例を説明するための工程順に示した半導体チップの断面図である。

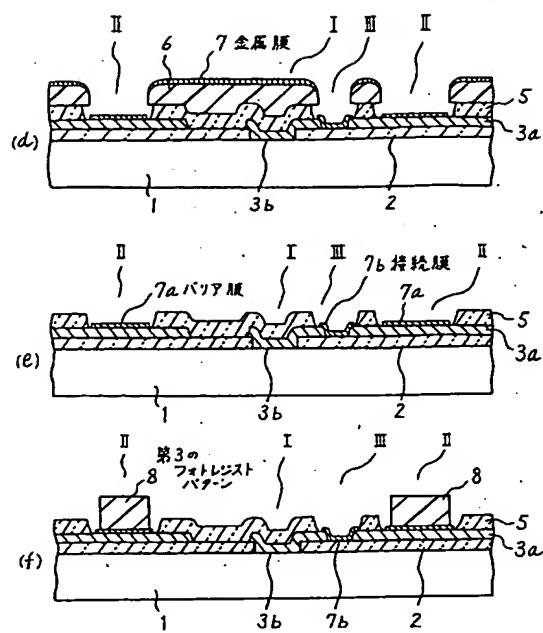
1…半導体基板、2…シリコン塗化膜、3…アルミニウム膜、3a…アルミニウム配線、3b…電解メッキ用配線、4…第1のフォトレジストパターン、5…シリコン酸化膜、6…第2のフォトレジストパターン、7…金属膜、7a…バリア膜、7b…接続膜、8…第3のフォトレジストパターン、9…ポリイミド樹脂、10…第4のフォトレジストパターン、11…金突起電極、21…半導体基板、22…シリコン塗化膜、23a…アルミニウム配線、23b…電解メッキ用配線；

24…第1のフォトレジストパターン、25…第2のフォトレジストパターン、26…ポリイミド樹脂、27…第3のフォトレジストパターン、28…第4のフォトレジストパターン、29…金属膜、29a…バリア膜、29b…接続膜、30a…金突起電極、30b…小金突起電極。

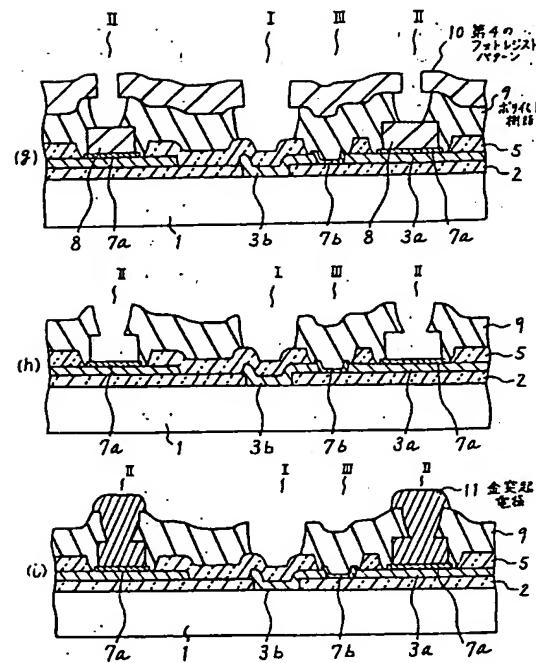
代理人 井理士 内原晋



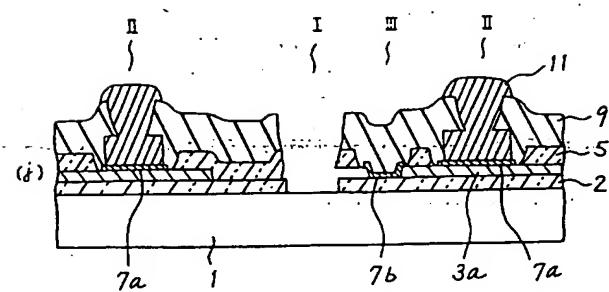
第1図



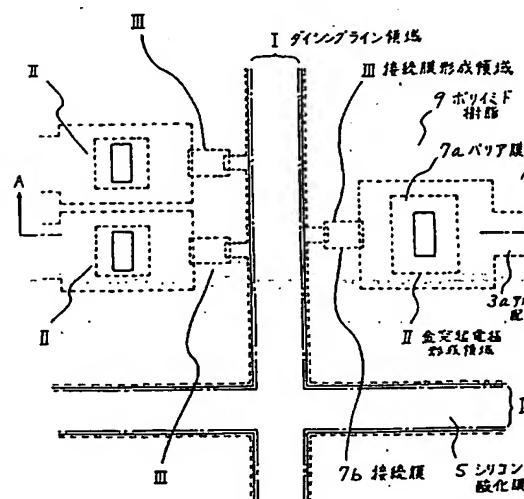
第1図



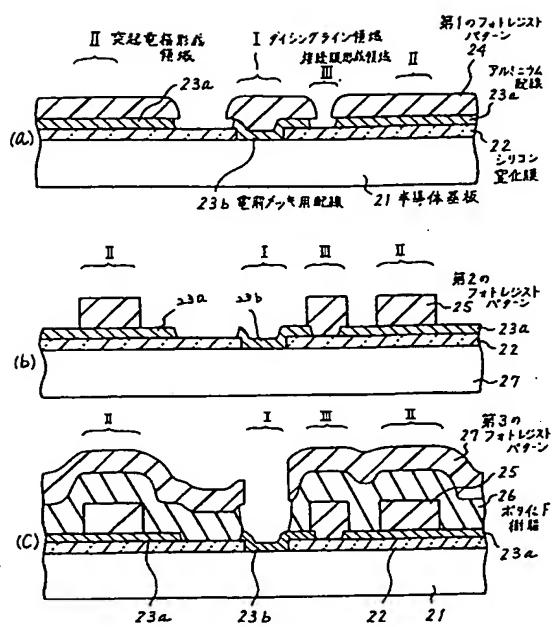
第1図



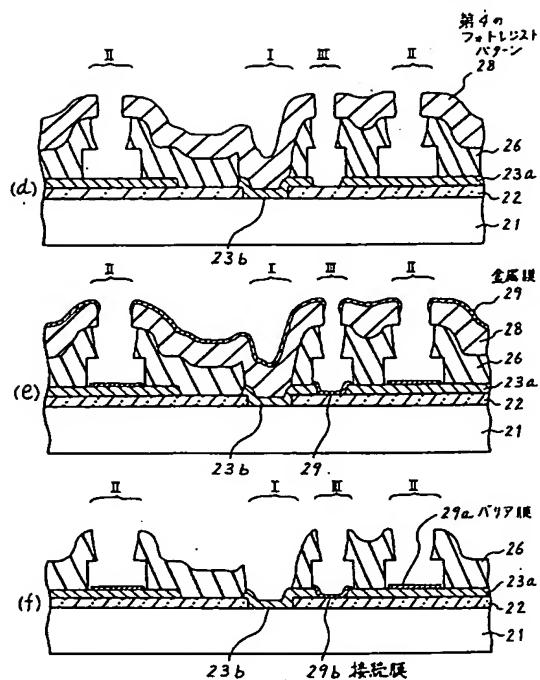
第1図



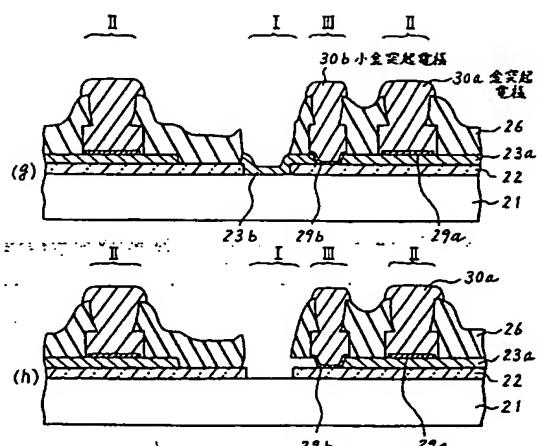
第2図



第3図



第3図



第3図